

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 8月 6日

出 願 番 号

Application Number:

特願2002-228390

[ST.10/C]:

[JP 2002-228390]

出 願 人

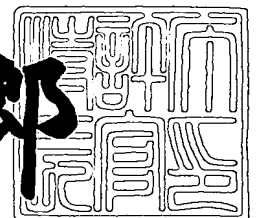
Applicant(s):

セイコーエプソン株式会社

2003年 5月27日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3039000

【書類名】 特許願

【整理番号】 J0092686

【あて先】 特許庁長官殿

【国際特許分類】 H01L 27/00

【発明者】

 【住所又は居所】 長野県諏訪市大和 3 丁目 3 番 5 号 セイコーエプソン株式会社内

 【氏名】 米山 剛

【特許出願人】

 【識別番号】 000002369

 【氏名又は名称】 セイコーエプソン株式会社

【代理人】

 【識別番号】 100110858

 【弁理士】

 【氏名又は名称】 柳瀬 睦肇

【選任した代理人】

 【識別番号】 100107526

 【弁理士】

 【氏名又は名称】 鈴木 直郁

【選任した代理人】

 【識別番号】 100110777

 【弁理士】

 【氏名又は名称】 宇都宮 正明

【選任した代理人】

 【識別番号】 100100413

 【弁理士】

 【氏名又は名称】 渡部 温

【手数料の表示】

 【予納台帳番号】 085672

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0014943

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体集積回路

【特許請求の範囲】

【請求項 1】 クロック信号と共に入力されるシリアルデータをパラレルデータに変換するシリアル／パラレル変換回路と、

前記シリアル／パラレル変換回路によって変換されたパラレルデータを記憶するメモリと、

クロック信号をカウントすることにより、前記メモリにおける書込み時間を設定するために用いられる書込みパルスを発生する書込みパルス発生回路と、
を具備する半導体集積回路。

【請求項 2】 前記シリアル／パラレル変換回路から出力されるパラレルデータをラッチして前記メモリに供給するラッチ回路をさらに具備する請求項 1 記載の半導体集積回路。

【請求項 3】 前記シリアル／パラレル変換回路がシフトレジスタを含む、請求項 1 又は 2 記載の半導体集積回路。

【請求項 4】 前記書込みパルス発生回路が、
クロック信号をカウントするカウンタと、
前記カウンタのカウント値と第 1 の所定の値との一致を検出する第 1 の一致検出回路と、

前記カウンタのカウント値と第 2 の所定の値との一致を検出する第 2 の一致検出回路と、

前記第 1 の一致検出回路において一致検出されてから前記第 2 の一致検出回路において一致検出されるまでの間に出力レベルを第 1 のレベルとし、前記第 2 の一致検出回路において一致検出されてから前記第 1 の一致検出回路において一致検出されるまでの間に出力レベルを第 2 のレベルとすることにより、前記書込みパルスを発生する順序回路と、

を含む、請求項 1 ～ 3 のいずれか 1 項記載の半導体集積回路。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、シリアルデータをパラレルデータに変換して記憶する半導体集積回路に関し、特に、RAM（ランダムアクセスメモリ）を内蔵してLCD（液晶表示装置）を駆動するLCDドライバ等の半導体集積回路に関する。

【0002】

【従来の技術】

LCDのセグメント方向に分割された多数の領域を駆動するLCDドライバにおいては、インターフェースを介して入力されるシリアルデータをパラレルデータに変換して内蔵のRAMに書込み、RAMに記憶されているデータを読み出して駆動信号を生成するタイプのものがある。このような従来のLCDドライバを図4に示す。

【0003】

図4に示すように、LCDドライバ100は、クロック信号CLKと共に入力されるシリアルデータ（DATA）をパラレルデータに変換するシフトレジスタ109と、パラレルデータをラッチするラッチ回路110と、ラッチされたデータを記憶するRAM111とを含んでいる。

【0004】

また、LCDドライバ100は、クロック信号CLKをカウントして出力端子Q9から9カウント毎にパルスを出力するカウンタ101と、カウンタ101から出力されるパルス信号S1に同期してパルス信号S2を出力するフリップフロップFF1と、パルス信号S2を遅延させてパルス信号S3を出力するディレイ回路102と、パルス信号S3に同期してパルス信号S4を出力するフリップフロップFF2と、パルス信号S4を遅延させてパルス信号S5を出力するディレイ回路103と、バッファ回路104と、2つのNOR回路105及び106と、2つのインバータ107及び108と、RAM111の書込み／読出しを制御するコマンド発生回路112とを含んでいる。

【0005】

図5に、図4に示すLCDドライバの各部における動作を示す。リセット状態が解除されて反転リセット信号（RESETバー）がハイレベルになった後、図

5に示すように、クロック信号CLKに同期して、1ビットのデータ／コマンド識別子D／C及び8ビットのデータD7～D0が順にシフトレジスタ109に入力され、シフトレジスタ109内のフリップフロップに合計9ビットの信号が保持される。その間に、カウンタ101は、クロック信号CLKに含まれている9個のパルスのカウントして、出力端子Q9からパルス信号S1を出力する。

【0006】

フリップフロップFF1は、パルス信号S1の立上がりエッジに同期して、パルス信号S2をハイレベルにする。ディレイ回路102は、パルス信号S2を所定の時間だけ遅延させ、パルス信号S3を出力する。パルス信号S3は、NOR回路105によって反転される。ここで、反転されたパルス信号S3がフリップフロップFF1のリセット端子Rに入力されるので、フリップフロップFF1がリセットされ、パルス信号S2がローレベルに戻る。その結果、フリップフロップFF1は、ディレイ回路102の遅延時間と等しい幅のパルスを含むパルス信号S2を出力することになる。パルス信号S3のパルス幅も、パルス信号S2のパルス幅と同一になる。

【0007】

ラッチ回路110は、シフトレジスタ109からパラレルデータとして出力された1ビットのデータ／コマンド識別子D／C及び8ビットのデータD7～D0を、パルス信号S3の立下りエッジに同期してラッチする。ディレイ回路102によってパルス信号S2を遅延することによりパルス信号S3を生成しているので、シフトレジスタ109から確実に信号が出力された後に、これらの信号がラッチ回路110によってラッチされる。

【0008】

フリップフロップFF2は、パルス信号S3の立上がりエッジに同期して、パルス信号S4をハイレベルにする。ディレイ回路103は、パルス信号S4を所定の時間だけ遅延させ、パルス信号S5を出力する。パルス信号S5は、NOR回路106によって反転される。ここで、反転されたパルス信号S5がフリップフロップFF2のリセット端子Rに入力されるので、フリップフロップFF2がリセットされ、パルス信号S4がローレベルに戻る。その結果、フリップフロップ

プ F F 2 は、ディレイ回路 1 0 3 の遅延時間と等しい幅のパルスを含むパルス信号 S 4 を出力することになる。パルス信号 S 5 のパルス幅も、パルス信号 S 4 のパルス幅と同一になる。

【 0 0 0 9 】

R A M 1 1 1 は、バッファ回路 1 0 4 からパルス信号 S 5 を入力すると共に、ラッチ回路 1 1 0 からデータ D 7 ~ D 0 を入力する。また、コマンド発生回路 1 1 2 は、バッファ回路 1 0 4 からパルス信号 S 5 を入力すると共に、ラッチ回路 1 1 0 からデータ / コマンド識別子 D / C 及びデータ D 7 ~ D 0 を入力する。データ / コマンド識別子 D / C がコマンドを表している場合には、コマンド発生回路 1 1 2 は、データ D 7 ~ D 0 として送られて来たコマンド及びパルス信号 S 5 に従って、R A M 1 1 1 の書込み / 読出しのタイミングを決定したり、アドレスの指定を行う。一方、データ / コマンド識別子 D / C がデータを表している場合には、R A M 1 1 1 は、コマンド発生回路 1 1 2 の書込みタイミングで、データ D 7 ~ D 0 を指定されたアドレスに書き込む。ここで、R A M 1 1 1 におけるデータ書込み時間を表すパルス信号 S 5 のパルス幅は、ディレイ回路 1 0 3 の遅延時間によって決定される。

【 0 0 1 0 】

このように、従来の半導体集積回路においては、R A M におけるデータ書込み時間をディレイ回路の遅延時間によって決定しているため、R A M を交換した場合にディレイ回路の調整が必要になる場合もあり、書込み / 読出しのサイクルを短くすることが困難であるという問題があった。

【 0 0 1 1 】

【発明が解決しようとする課題】

そこで、上記の点に鑑み、本発明は、シリアルデータをパラレルデータに変換して記憶する機能を有し、書込み / 読出しのサイクルを短くしても安定に動作する半導体集積回路を提供することを目的とする。

【 0 0 1 2 】

【課題を解決するための手段】

以上の課題を解決するため、本発明に係る半導体集積回路は、クロック信号と

共に入力されるシリアルデータをパラレルデータに変換するシリアル／パラレル変換回路と、シリアル／パラレル変換回路によって変換されたパラレルデータを記憶するメモリと、クロック信号をカウントすることにより、メモリにおける書込み時間を設定するために用いられる書込みパルスが発生する書込みパルス発生回路とを具備する。

【0013】

この半導体集積回路は、シリアル／パラレル変換回路から出力されるパラレルデータをラッチしてメモリに供給するラッチ回路をさらに具備するようにしても良い。また、シリアル／パラレル変換回路が、シフトレジスタを含むようにしても良い。

【0014】

さらに、書込みパルス発生回路が、クロック信号をカウントするカウンタと、カウンタのカウント値と第1の所定の値との一致を検出する第1の一致検出回路と、カウンタのカウント値と第2の所定の値との一致を検出する第2の一致検出回路と、第1の一致検出回路において一致検出されてから第2の一致検出回路において一致検出されるまでの間に出力レベルを第1のレベルとし、第2の一致検出回路において一致検出されてから第1の一致検出回路において一致検出されるまでの間に出力レベルを第2のレベルとすることにより、書込みパルスが発生する順序回路とを含むようにしても良い。

【0015】

このように構成した本発明によれば、シリアルデータと共に入力されるクロック信号をカウントすることにより、メモリにおける書込み時間を設定するために用いられる書込みパルスが発生するので、書込み／読出しのサイクルを短くしても安定に動作する半導体集積回路を提供することができる。

【0016】

【発明の実施の形態】

以下、図面を参照しながら、本発明の実施の形態について説明する。

図1に、本発明の第1の実施形態に係る半導体集積回路の構成を示す。本実施形態は、LCDのセグメント方向に分割された多数の領域を駆動するLCDドラ

イバに本発明を適用したものである。

【 0 0 1 7 】

図 1 に示すように、半導体集積回路 1 0 は、クロック信号 C L K と共に入力されるシリアルデータ (D A T A) をパラレルデータに変換するシフトレジスタ 1 9 と、パラレルデータをラッチするラッチ回路 2 0 と、ラッチされたデータを記憶する R A M 2 1 とを含んでいる。

【 0 0 1 8 】

また、半導体集積回路 1 0 は、クロック信号 C L K に含まれているパルスのカウントするカウンタ 1 1 と、カウンタ 1 1 から出力されるパルス信号 S 9 に同期してパルス信号 S 3 を出力するフリップフロップ F F 1 と、パルス信号 S 3 を遅延させてパルス信号 S 4 を出力するディレイ回路 1 2 と、パルス信号 S 4 に同期してパルス信号 S 5 を出力するフリップフロップ F F 2 と、パルス信号 S 5 を遅延させてパルス信号 S 6 を出力するディレイ回路 1 3 と、R A M の書込み時間を制御するためにパルス信号 S 7 を発生する書込みパルス発生回路 3 0 と、入力されるシリアルデータ (D A T A) に含まれているデータ / コマンド識別子 D / C を保持するフリップフロップ F F 3 及び F F 4 と、バッファ回路 1 4 と、2 つの N O R 回路 1 5 及び 1 6 と、2 つのインバータ 1 7 及び 1 8 と、R A M 2 1 の書込み / 読出しを制御するコマンド発生回路 2 2 とを含んでいる。

【 0 0 1 9 】

図 2 に、図 1 に示す半導体集積回路の各部における動作を示す。リセット状態が解除されて反転リセット信号 (R E S E T バー) がハイレベルになった後、図 2 に示すように、クロック信号 C L K に同期して、8 ビットのデータ D 7 ~ D 0 が順にシフトレジスタ 1 9 に入力され、シフトレジスタ 1 9 内のフリップフロップに保持される。その間に、カウンタ 1 1 は、クロック信号 C L K に含まれているパルスのカウントして、第 1 番目のパルスに対応してパルス信号 S 1 を出力し、第 2 番目のパルスに対応してパルス信号 S 2 を出力し、第 9 番目のパルスに対応してパルス信号 S 9 を出力する。

【 0 0 2 0 】

フリップフロップ F F 1 は、パルス信号 S 9 の立上がりエッジに同期して、パ

ルス信号 S 3 をハイレベルにする。ディレイ回路 1 2 は、パルス信号 S 3 を所定の時間だけ遅延させ、パルス信号 S 4 を出力する。パルス信号 S 4 は、NOR 回路 1 5 によって反転される。ここで、反転されたパルス信号 S 4 がフリップフロップ F F 1 のリセット端子 R に入力されるので、フリップフロップ F F 1 がリセットされ、パルス信号 S 4 がローレベルに戻る。その結果、フリップフロップ F F 1 は、ディレイ回路 1 2 の遅延時間と等しい幅のパルスを含むパルス信号 S 3 を出力することになる。パルス信号 S 4 のパルス幅も、パルス信号 S 3 のパルス幅と同一になる。

【 0 0 2 1 】

フリップフロップ F F 3 は、カウンタ 1 1 の出力端子 Q 1 から出力されるパルス信号 S 1 に同期して、データ／コマンド識別子 D / C を保持する。さらに、フリップフロップ F F 4 は、カウンタ 1 1 の出力端子 Q 2 から出力されるパルス信号 S 2 に同期して、フリップフロップ F F 3 の出力信号を保持し、データ／コマンド識別信号 A 0 として出力する。

【 0 0 2 2 】

ラッチ回路 2 0 は、フリップフロップ F F 4 から出力された 1 ビットのデータ／コマンド識別信号 A 0 と、シフトレジスタ 1 9 から出力された 8 ビットのデータ D 7 ~ D 0 とを、パルス信号 S 4 の立下りエッジに同期してラッチする。ディレイ回路 1 2 によってパルス信号 S 3 を遅延することによりパルス信号 S 4 を生成しているので、フリップフロップ F F 4 及びシフトレジスタ 1 9 から確実に信号が出力された後に、これらの信号がラッチ回路 2 0 によってラッチされる。

【 0 0 2 3 】

フリップフロップ F F 2 は、パルス信号 S 4 の立上がりエッジに同期して、パルス信号 S 5 をハイレベルにする。ディレイ回路 1 3 は、パルス信号 S 5 を所定の時間だけ遅延させ、パルス信号 S 6 を出力する。パルス信号 S 6 は、NOR 回路 1 6 によって反転される。ここで、反転されたパルス信号 S 6 がフリップフロップ F F 2 のリセット端子 R に入力されるので、フリップフロップ F F 2 がリセットされ、パルス信号 S 5 がローレベルに戻る。その結果、フリップフロップ F F 2 は、ディレイ回路 1 3 の遅延時間と等しい幅のパルスを含むパルス信号 S 5

を出力することになる。パルス信号 S 6 のパルス幅も、パルス信号 S 5 のパルス幅と同一になる。パルス信号 S 6 は、コマンド発生回路 2 2 においてコマンドを実行するために使用される。

【 0 0 2 4 】

一方、書込みパルス発生回路 3 0 は、クロック信号 C L K の第 9 番目のパルスの立上がりエッジから第 5 番目のパルスの立上がりエッジまでの間でハイレベルとなるデータ書込み用のパルス信号 S 7 を出力する。

【 0 0 2 5 】

R A M 2 1 は、書込みパルス発生回路 3 0 からパルス信号（書込みパルス） S 7 を入力し、ラッチ回路 2 0 からデータ D 7 ~ D 0 を入力する。また、コマンド発生回路 2 2 は、バッファ回路 1 4 からパルス信号 S 6 を入力し、ラッチ回路 2 0 からデータ / コマンド識別信号 A 0 及びデータ D 7 ~ D 0 を入力する。データ / コマンド識別信号 A 0 がコマンドを表している場合には、コマンド発生回路 2 2 は、データ D 7 ~ D 0 として送られて来たコマンドに従って、R A M 2 1 の書込み / 読出しのタイミングを決定したり、アドレスの指定を行う。一方、データ / コマンド識別信号 A 0 がデータを表している場合には、R A M 2 1 は、データ D 7 ~ D 0 を指定されたアドレスに書き込む。

【 0 0 2 6 】

ここで、R A M 2 1 におけるデータ書込み時間を表すパルス信号 S 7 のパルス幅は、書込みパルス発生回路 3 0 によってクロック信号 C L K に含まれているパルスをカウントすることにより決定される。パルス信号 S 7 のパルス幅を広くとることにより、書込み / 読出しのサイクルを短くして高速動作を行っても確実にデータを書き込むことができる。

【 0 0 2 7 】

次に、図 1 に示す書込みパルス発生回路について詳しく説明する。図 3 に、書込みパルス発生回路の構成を示す。図 3 に示すように、書込みパルス発生回路 3 0 は、クロック信号 C L K に含まれているパルスをカウントするカウンタ 3 1 と、カウンタ 3 1 から出力される 4 ビットのカウンタ値と予め設定された第 1 の値（5 = “0 1 0 1”）との一致を検出する一致検出回路 3 2 と、一致検出回路 3

2 の出力信号を反転するインバータ 3 4 と、カウンタ 3 1 から出力される 4 ビットのカウンタ値と予め設定されている第 2 の値（9 = “1 0 0 1”）との一致を検出する一致検出回路 3 3 と、一致検出回路 3 2 及び 3 3 の出力信号に基づいて負論理の書込みパルスを出力するフリップフロップ F F 5 と、フリップフロップ F F 5 から出力される負論理の書込みパルスを反転するインバータ 3 5 とによって構成される。

【 0 0 2 8 】

リセット状態が解除されて反転リセット信号がハイレベルになった後、フリップフロップ F F 5 の出力信号はローレベルとなっている。一致検出回路 3 2 は、クロック信号 C L K に含まれている第 5 番目のパルスをカウンタ 3 1 がカウントしたときに、カウンタ 3 1 のカウンタ値と第 1 の値（5）との一致を検出し、パルスを出力する。これにより、フリップフロップ F F 5 の出力信号がハイレベルに設定され、インバータ 3 5 からは、ローレベルの信号が出力される。

【 0 0 2 9 】

次に、一致検出回路 3 3 は、クロック信号 C L K に含まれている第 9 番目のパルスをカウンタ 3 1 がカウントしたときに、カウンタ 3 1 のカウンタ値と第 2 の値（9）との一致を検出し、パルスを出力する。フリップフロップ F F 5 の出力信号は、一致検出回路 3 3 から出力されるパルスに同期してローレベルとなり、インバータ 3 5 からは、ハイレベルの信号が出力される。

【 0 0 3 0 】

以上のことから、書込みパルス発生回路 3 0 は、カウンタ値が 9 及び 1 ～ 4 の間はハイレベルの信号を出力し、カウンタ値が 5 ～ 8 の間はローレベルの信号を出力する。なお、本発明においては、カウンタ値が 5 及び 9 の場合に書込みパルス発生回路 3 0 の出力レベルが変化するようにしたが、他のカウンタ値において出力レベルが変化するようにしても良い。

【 0 0 3 1 】

【発明の効果】

以上述べたように、本発明によれば、シリアルデータと共に入力されるクロック信号をカウントすることにより、メモリにおける書込み時間を設定するために

用いられる書込みパルスを発生するので、書込み／読出しのサイクルを短くしても安定に動作する半導体集積回路を提供することができる。

【図面の簡単な説明】

【図 1】

本発明の第 1 の実施形態に係る半導体集積回路の構成を示す図である。

【図 2】

図 1 に示す半導体集積回路の各部における動作を示すタイミングチャートである。

【図 3】

図 1 に示す書込みパルス発生回路の構成を示す図である。

【図 4】

従来の LCD ドライバの構成を示す図である。

【図 5】

図 4 に示す LCD ドライバの各部における動作を示すタイミングチャートである。

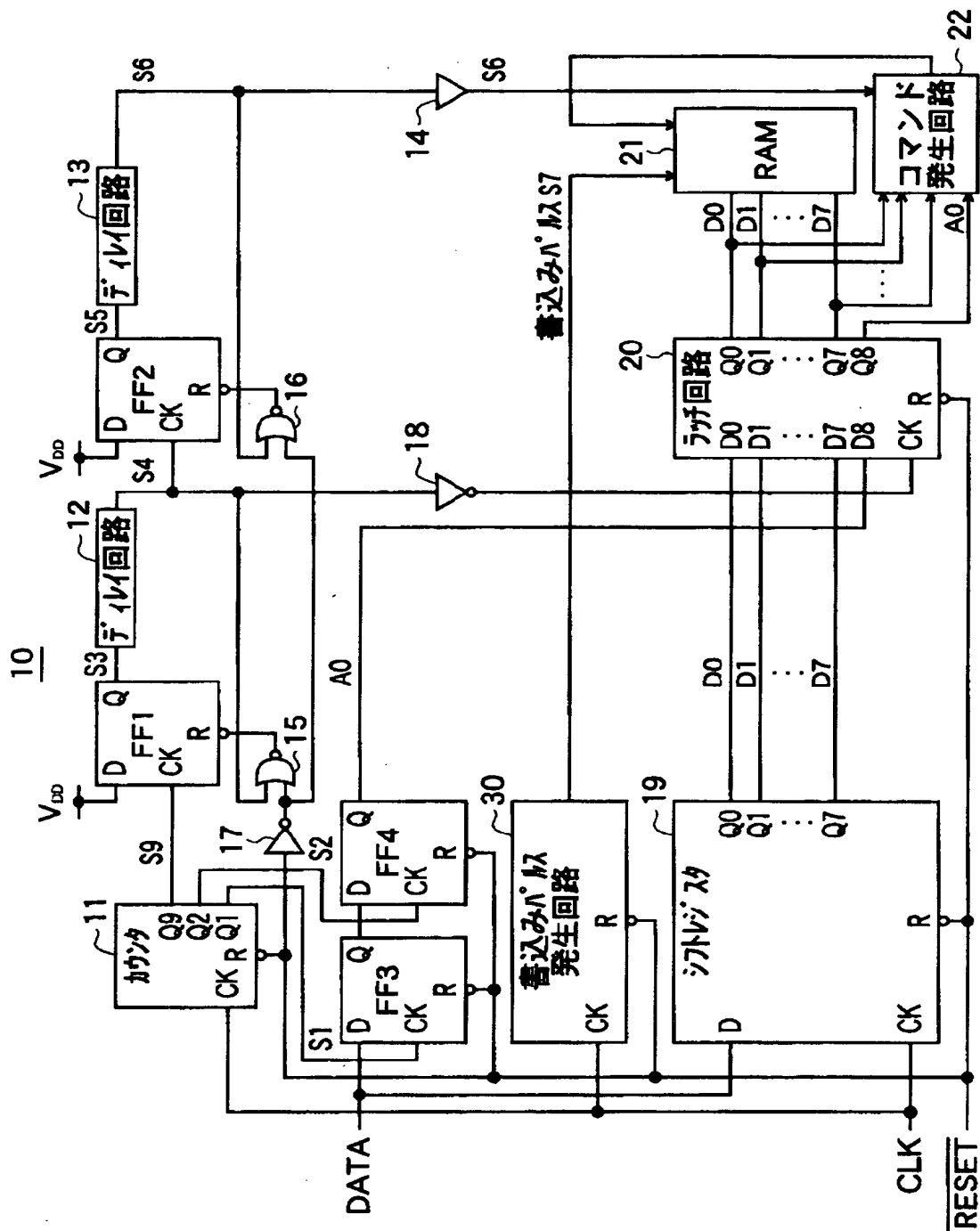
【符号の説明】

- 1 0 半導体集積回路
- 1 1、3 1 カウンタ
- 1 2、1 3 デイレイ回路
- 1 4 バッファ
- 1 5、1 6 NOR 回路
- 1 7、1 8、3 4、3 5 インバータ
- 1 9 シフトレジスタ
- 2 0 ラッチ回路
- 2 1 RAM
- 2 2 コマンド発生回路
- 3 0 書込みパルス発生回路
- 3 2、3 3 一致検出回路
- FF 1 ～ FF 5 フリップフロップ

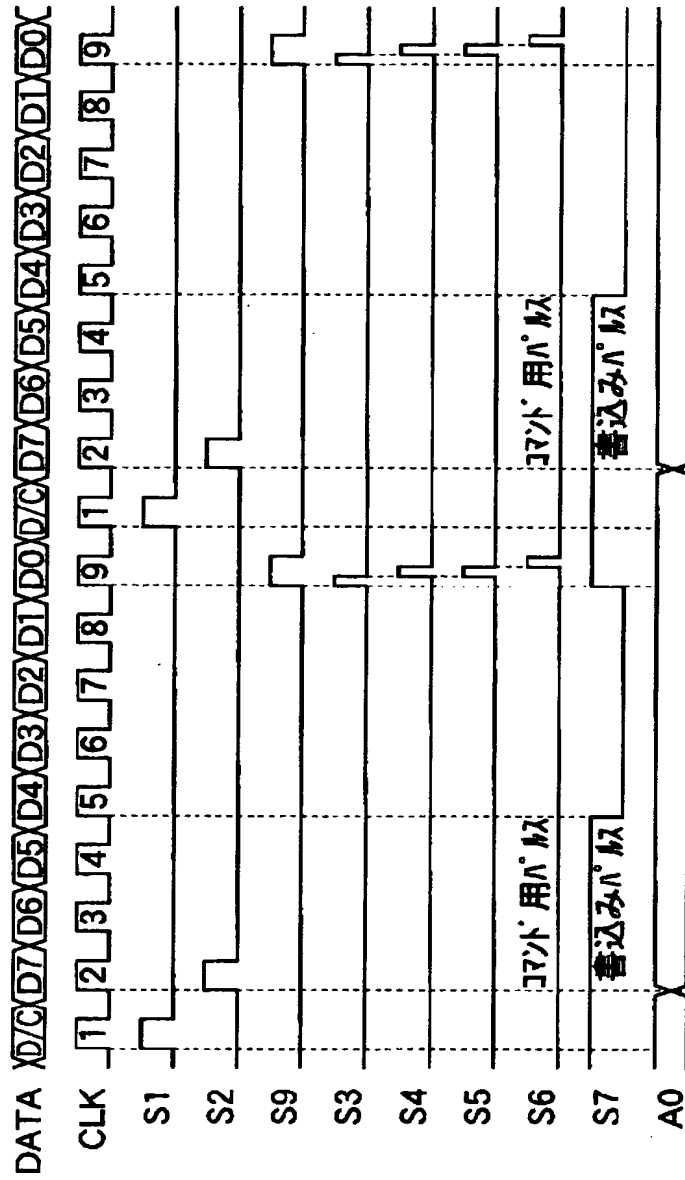
【書類名】

図面

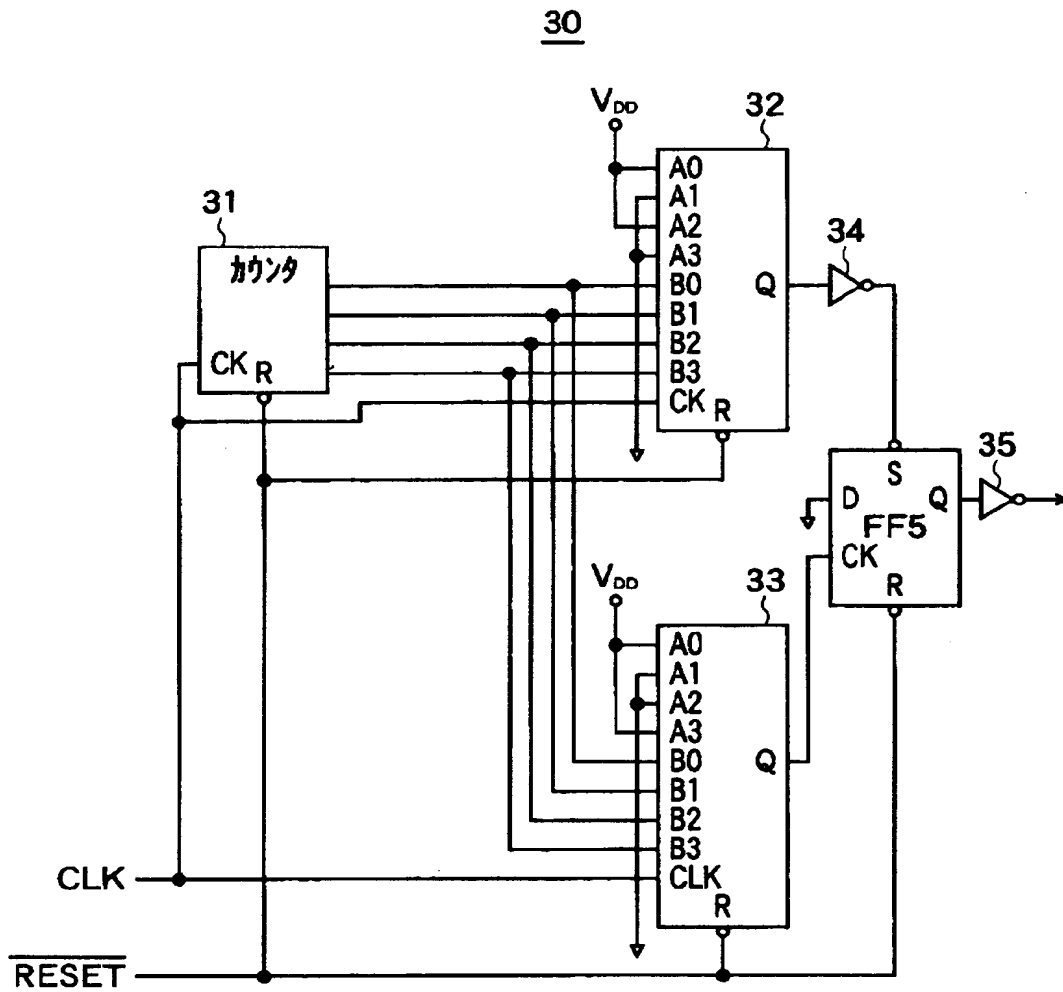
【図 1】



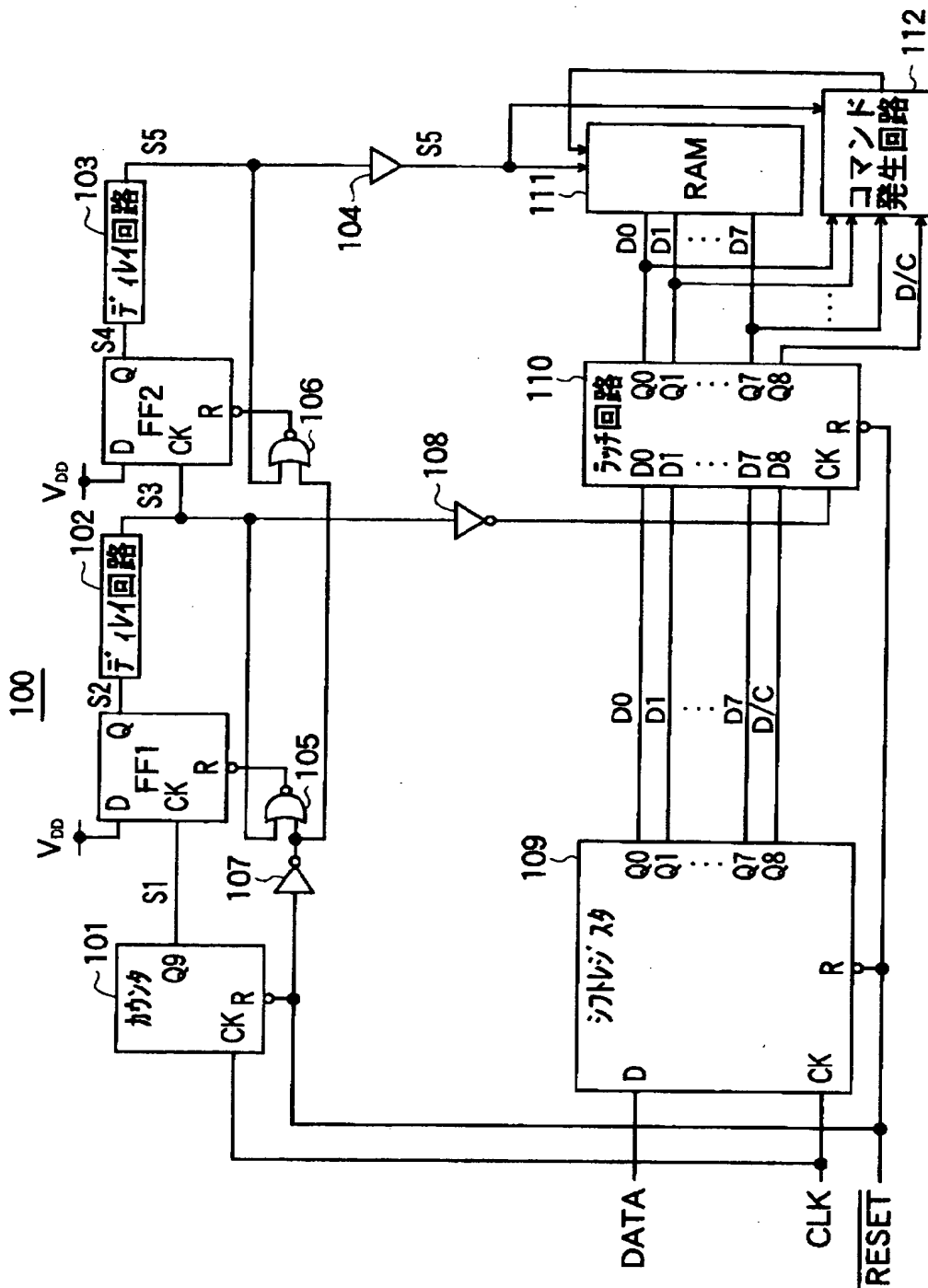
【図 2】



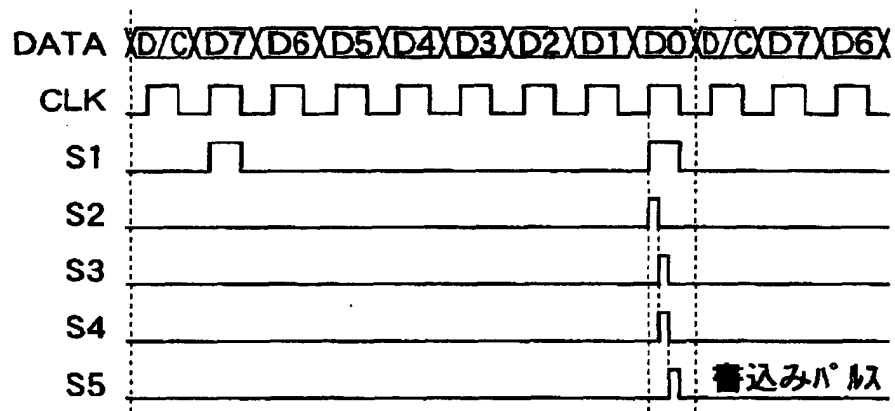
【図 3】



【図4】



【図 5】



【書類名】 要約書

【要約】

【課題】 シリアルデータをパラレルデータに変換して記憶する機能を有し、書込み／読出しのサイクルを短くしても安定に動作する半導体集積回路を提供する。

【解決手段】 この半導体集積回路は、クロック信号と共に入力されるシリアルデータをパラレルデータに変換するシリアル／パラレル変換回路 1 9 と、シリアル／パラレル変換回路によって変換されたパラレルデータを記憶するメモリ 2 1 と、クロック信号をカウントすることにより、メモリにおける書込み時間を設定するために用いられる書込みパルスが発生する書込みパルス発生回路 3 0 とを具備する。

【選択図】 図 1

認定・付加情報

特許出願の番号	特願 2 0 0 2 - 2 2 8 3 9 0
受付番号	5 0 2 0 1 1 6 4 2 7 6
書類名	特許願
担当官	第五担当上席 0 0 9 4
作成日	平成 1 4 年 8 月 7 日

<認定情報・付加情報>

【提出日】	平成14年 8月 6日
-------	-------------

出 願 人 履 歴 情 報

識別番号 [000002369]

1. 変更年月日	1990年 8月20日
[変更理由]	新規登録
住 所	東京都新宿区西新宿2丁目4番1号
氏 名	セイコーエプソン株式会社